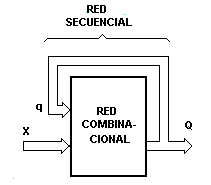
**EL FLIP-FLOP Y LOS CIRCUITOS SECUENCIALES**

**GENERALIDADES**

Una [red](http://www.monografias.com/Computacion/Redes/) combinacional es aquella que "combina" compuertas Y, O, Negadas y del 3º [Estado](http://www.monografias.com/trabajos12/elorigest/elorigest.shtml). Una secuencial es ésta pero realimentada. En las salidas preferiremos llamar a los estados anteriores con letra minúscula (q) para diferenciarlos de los presentes que se hará con mayúscula (Q), y los de la entrada con mayúscula porque siendo presentes, tampoco cambiaron durante la transición (x = X).



**FLIP-FLOP**

**Generalidades**

Circuitos lógicos encargados de almacenar la [**información**](http://www.mastermagazine.info/termino/5022.php) de la memoria SDRAM o ram estática, en estas memorias la información esta memorizada en forma permanente, por lo menos mientras se encuentre encendida la computadora, cuando se apague la CPU, como ya hemos dicho, la información se pierde. Algunas de estas memorias son:  
  
-[**SDRAM**](http://www.mastermagazine.info/termino/6632.php) Siglas de Synchronous DRAM, DRAM síncrona, un tipo de memoria RAM dinámica que es casi un 20% más rápida que la RAM EDO. SDRAM entrelaza dos o más matrices...  
  
-[**SRAM**](http://www.mastermagazine.info/termino/6773.php) Siglas de Static Random Access Memory, es un tipo de memoria que es más rápida y fiable que la más común DRAM (Dynamic RAM). El término estática viene derivado...  
  
-[**BEDO**](http://www.mastermagazine.info/termino/4028.php) (Burst Extended Data Output). Es un tipo más rápido de EDO que mejora la velocidad usando un contador de dirección para las siguientes direcciones y un estado ‘pipeline’ que...  
  
-[**Memorias**](http://www.mastermagazine.info/termino/5817.php) DRAM (dynamic random access memory): los chips de DRAM están diseñados como una matriz de celdas de memoria dispuestas en filas y colum-nas. Cada celda de memoria usada para...

Siendo los Flip-Flop las unidades básicas de todos los [sistemas](http://www.monografias.com/trabajos11/teosis/teosis.shtml) secuenciales, existen cuatro tipos: el RS, el JK, el T y el D. Y los últimos tres se implementan del primero —pudiéndose con posterioridad con cualquiera de los resultados confeccionar quienquiera de los restantes.

Todos pueden ser de dos tipos, a saber: Flip-Flop activado por nivel (FF-AN) o bien Flip-Flop maestro-esclavo (FF-ME). El primero recibe su nombre por actuar meramente con los "niveles" de amplitud 0-1, en [cambio](http://www.monografias.com/trabajos2/mercambiario/mercambiario.shtml) el segundo son dos FF-AN combinados de tal manera que uno "hace caso" al otro.

Un circuito flip-flop puede mantener un estado binario indefinidamente (Siempre y cuando se le esté suministrando [potencia](http://www.monografias.com/trabajos14/trmnpot/trmnpot.shtml) al circuito) hasta que se cambie por una señal de entrada para cambiar estados. La principal diferencia entre varios tipos de flip-flops es el número de entradas que poseen y la manera en la cual las entradas afecten [el estado](http://www.monografias.com/trabajos12/elorigest/elorigest.shtml) binario.

**Circuito básico de un flip-flop**

Se mencionó que un circuito flip-flop puede estar formado por dos compuertas NAND o dos compuertas NOR. Estas construcciones se muestran en los[diagramas](http://www.monografias.com/trabajos12/diflu/diflu.shtml) lógicos de las figuras. Cada circuito forma un flip-flop básico del cual se pueden construir uno más complicado. La conexión de acoplamiento intercruzado de la salida de una compuerta a la entrada de la otra constituye un camino de [retroalimentación](http://www.monografias.com/trabajos5/teorsist/teorsist.shtml#retrp). Por esta razón, los [circuitos](http://www.monografias.com/trabajos10/infoba/infoba.shtml#circuito) se clasifican como circuitos secuenciales asincrónicos. Cada flip-flop tiene dos salidas, Q y Q´ y dos entradas S (set) y R (reset). Este tipo de flip-flop se llama Flip-Flop RS acoplado directamente o bloqueador SR (SR latch). Las letras R y S son las iniciales de los nombres en [inglés](http://www.monografias.com/trabajos16/manual-ingles/manual-ingles.shtml) de las entradas (reset, set).

**Circuito flip-flop básico con compuertas NOR**

Para analizar la operación del circuito de la figura anterior se debe recordar que la salida de una compuerta NOR es 0 si cualquier entrada es 1 y que la salida es 1 solamente cuando todas las entradas sean 0. Como punto de partida asúmase que la entrada de puesta a uno (set) es 1 y que la entrada de puesta a 0 (reset) sea 0. Como la compuerta 2 tiene una entrada de 1, su salida Q´ debe ser 0, lo cual coloca ambas entradas de la compuerta 1 a 0 para tener la salida Q como 1. Cuando la entrada de puesta a uno (set) vuelva a 0, las salidas permanecerán iguales ya que la salida Q permanece como 1, dejando una entrada de la compuerta 2 en 1. Esto causa que la salida Q´ permanezca en 0 lo cual coloca ambas entradas de la compuerta número 1 en 0 y así la salida Q es 1. De la misma manera es posible demostrar que un 1 en la entrada de puesta a cero (reset) cambia la salida Q a 0 y Q´ a 1. Cuando la entrada de puesta a cero cambia a 0, las salidas no cambian.

Cuando se aplica un 1 a ambas entradas de puesta a uno y puesta a cero ambas salidas Q y Q´ van a 0. Esta condición viola el hecho de que las salidas Q y Q´ son complementos entre si. En operación normal esta condición debe evitarse asegurándose que no se aplica un 1 a ambas entradas simultáneamente.

Un flip-flop tiene dos entradas útiles. Cuando Q=1 y Q´=0 estará en el estado de puesta a uno (o estado 1). Cuando Q=0 y Q´=1 estará en el estado de puesta a cero (o estado 0). Las salidas Q y Q´ son complementos entre si y se les trata como salidas normales y de complemento respectivamente. El estado binario de un flip-flop se toma como el [valor](http://www.monografias.com/trabajos14/nuevmicro/nuevmicro.shtml) de su salida normal.

Bajo operación normal, ambas entradas permanecen en 0 a no ser que el estado del flip-flop haya cambiado. La aplicación de un 1 momentáneo a la entrada de puesta a uno causará que el flip-flop vaya a ese estado. La entrada de puesta en uno debe volver a cero antes que se aplique un uno a la entrada de puesta a cero. Un 1 momentáneo aplicado a la entrada de puesta a cero causará que el flip-flop vaya al estado de borrado (o puesta a cero). Cuando ambas entradas son inicialmente cero y se aplica un 1 a la entrada de puesta a uno o se aplica un 1 a la entrada de puesta a cero mientras que el flip-flop este borrado, quedaran las salidas sin cambio. Cuando se aplica un 1 a ambas entradas de puesta a uno y puesta a cero, ambas salidas [irán](http://www.monografias.com/trabajos55/iran-contemporaneo/iran-contemporaneo.shtml) a cero. Este estado es indefinido y se evita normalmente. Si ambas salidas van a 0, el estado del flip-flop es indeterminado y depende de aquella entrada que permanezca por mayor [tiempo](http://www.monografias.com/trabajos901/evolucion-historica-concepciones-tiempo/evolucion-historica-concepciones-tiempo.shtml) en 1 antes de hacer la transición a cero.

**Circuito flip-flop básico con compuertas NAND**

El circuito básico NAND de la figura anterior opera con ambas entradas normalmente en 1 a no ser que el estado del flip-flop tenga que cambiarse. La aplicación de un 0 momentáneo a la entrada de puesta a uno, causará que Q vaya a 1 y Q´ vaya a 0, llevando el flip-flop al estado de puesta a uno. Después que la entrada de puesta a uno vuelva a 1, un 0 momentáneo en la entrada de puesta a cero causará la transición al estado de borrado (clear). Cuando ambas entradas vayan a 0, ambas salidas irán a 1; esta condición se evita en la operación normal de un flip-flop.

**Flip-Flop Activados por Nivel**

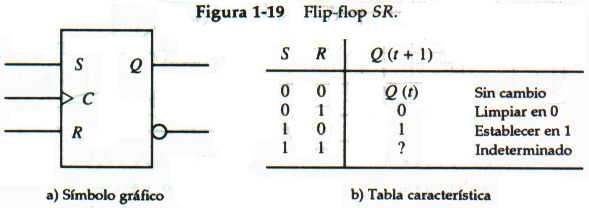
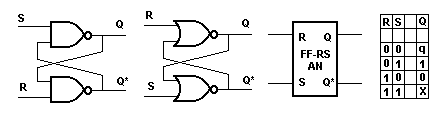
* **Flip-Flop RS**

Tiene tres entradas, S (de inicio), R (reinicio o borrado) y C (para reloj). Tiene una salida Q, y a veces también una salida complementada, la que se indica con un circulo en la otra terminal de salida. Hay un pequeño triángulo en frente de la letra C, para designar una entrada [dinámica](http://www.monografias.com/trabajos34/cinematica-dinamica/cinematica-dinamica.shtml). El símbolo indicador dinámico denota el echo de que el flip-flop responde a una transición positiva ( de 0 a 1) de la señal de reloj.

Su unidad básica (con compuertas NAND o NOR) se dibuja a continuación que, como actúa por "niveles" de amplitud (0-1) recibe el nombre de Flip-Flop RS activado por nivel (FF-RS-AN). Cuando no se especifica este detalle es del tipo Flip-Flop RS maestro-esclavo (FF-RS-ME). Sus [ecuaciones](http://www.monografias.com/trabajos13/sumato/sumato.shtml#SOLUCION) y tabla de funcionamiento son

Q = S + q R\*

R S = 0



La operación del flip-flop es como sigue. Si no hay una señal en la entrada del reloj C, la salida del circuito no puede cambiar independientemente de cuáles sean [los valores](http://www.monografias.com/trabajos14/nuevmicro/nuevmicro.shtml) de entrada de S y R. Sólo cuando la señal de reloj cambia de 0 a 1 puede la salida afectarse de acuerdo con los [valores](http://www.monografias.com/trabajos14/nuevmicro/nuevmicro.shtml) de la entrada S y R. Si S = 1 y R = 0 cuando C cambia de 0 a 1, la salida Q se inicia en 1. Si S = 0 y R = 1 cuando C cambia de 0 a 1 la salida Q se reinicia o borra en 0. Si tanto S como R son 0 durante la transición de reloj, la salida no cambia. Cuando tanto S como R son iguales a 1, la salida es impredecible y puede ser 0 o 1 dependiendo de los retrasos internos de tiempo que ocurran dentro del circuito.

**Flip-flop RS temporizado**

El flip-flop básico por si solo es un circuito secuencial asincrónico. Agregando compuertas a las entradas de circuito básico, puede hacerse que el flip-flop responda a los niveles de entrada durante la ocurrencia del reloj. El flip-flop RS temporizado mostrado en la siguiente figura consiste en un flip-flop básico NOR y dos compuertas NAND. Las salidas de las dos compuertas AND permanecen en cero mientras el pulso del reloj (abreviado en inglés CP) sea 0, independientemente de los valores de entrada S y R se permite llegar al flip-flop básico. El estado de puesta a uno se logra con S=1, R=0 y CP=1. Para cambiar el estado de puesta a cero (o borrado) las entradas deben ser S=0, R=1 y CP=1. Con S=1 y R=1, la ocurrencia de los pulsos de reloj causará que ambas salidas vayan momentáneamente a 0. Cuando quite el pulso, el estado del flip-flop será indeterminado, es decir, podría resultar cualquier estado, dependiendo de si la entrada de puesta a uno o la de puesta a cero del flip-flop básico, permanezca el mayor tiempo, antes de la transición a 0 al final del pulso.

**Flip-flop RS temporizado**

El símbolo gráfico del flip-flop RS sincronizado se [muestra](http://www.monografias.com/trabajos11/tebas/tebas.shtml) en la figura anterior. Tiene tres entradas: S, R y CP. La entrada CP no se describe dentro del recuadro debido a que se reconoce fácilmente por un pequeño triángulo. El triángulo es un símbolo para el indicador dinámico y denota el hecho que el flip-flop responde a una transición del reloj de entrada o flanco de subida de una señal de un nivel bajo (o binario) a un nivel alto (1 binario). Las salidas del flip-flop se marcan con Q y Q´ dentro del recuadro. Se le puede designar al flip-flop un nombre de variable diferente aunque se escriba una Q dentro del recuadro. En este caso la letra escogida para la variable del flip-flop se [marca](http://www.monografias.com/trabajos16/marca/marca.shtml) por fuera del recuadro y a lo largo de la línea de salida. El estado del flip-flop se determina del valor de su salida normal Q. Si se desea obtener el complemento de salida normal, no es necesario usar un inversor ya que el valor complementado se obtiene directamente de la salida Q´.

La tabla característica del flip-flop se muestra en la figura antes presentada. Esta tabla resume la operación del flip-flop en forma de tabulado. Q es el estado binario del flip-flop en un tiempo dado (refiriéndose al estado presente), las columnas S y R dan los valores posibles de las entradas y Q(t + 1) es el estado del flip-flop después de la ocurrencia de un pulso de reloj (refiriéndose al siguiente estado).

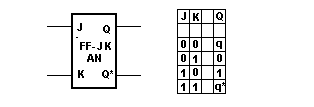
La ecuación característica de un flip-flop se deduce del mapa de la figura antes mencionada. Esta ecuación especifica el valor del siguiente estado como una [función](http://www.monografias.com/trabajos7/mafu/mafu.shtml) del presente estado y de las entradas. La ecuación característica de una expresión algebraica para la [información](http://www.monografias.com/trabajos7/sisinf/sisinf.shtml) binaria de la tabla característica. Los dos estados indeterminados se marcan con una X en el mapa, ya que pueden resultar como 1 o como 0. Sin embargo la relación SR=0 debe incluirse como parte de la ecuación característica para especificar que S y R no pueden ser iguales a 1 simultáneamente.

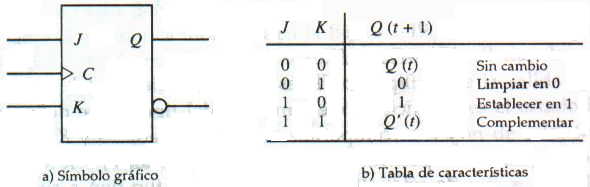
* **Flip-Flop JK**

Un flip-flop JK es un refinamiento del flip-flop SR en el sentido que la condición indeterminada del tipo SR se define en el tipo JK. Las entradas J y K se comportan como las entradas S y R para iniciar y reinicia el flip-flop, respectivamente. Cuando las entradas J y K son ambas iguales a 1, una transición de reloj alterna las salidas del flip-flop a su estado complementario.

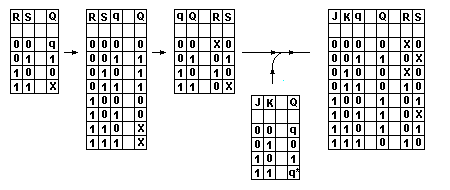
Su unidad básica se dibuja a continuación que, como actúa por "niveles" de amplitud (0-1) recibe el nombre de Flip-Flop JK activado por nivel (FF-JK-AN). Cuando no se especifica este detalle es del tipo Flip-Flop JK maestro-esclavo (FF-JK-ME). Su ecuación y tabla de funcionamiento son

Q = J q\* + K\* q

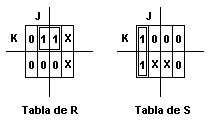




Se da detalle de su confección [lógica](http://www.monografias.com/trabajos15/logica-metodologia/logica-metodologia.shtml) a partir del FF-RS-AN.



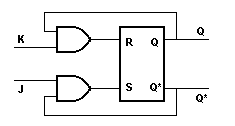
y si simplificamos por ejemplo usando Veich-Karnaugh



R = K q

S = J q\*

resulta el circuito



**Flip-flop JK**

Un flip-flop JK es un refinamiento del flip-flop RS ya que el estado independiente del termino RS se define en el tipo JK. Las entradas J y K se comportan como las entradas R y S para poner a uno o cero (set o reset) al flip-flop (nótese que en el flip-flop JK la entrada J se usa para la entrada de puesta a uno y la letra K para la entrada de puesta a cero). Cuando ambas entradas se aplican a J y K simultáneamente, el flip-flop cambia a su estado de complemento, esto es, si Q=1 cambia a Q=0 y viceversa.

Un flip-flop sincronizado se muestra en la figura anterior. La salida Q se aplica con K y CP a una compuerta AND de tal manera que el flip-flop se ponga a cero (clear) durante un pulso de reloj solamente si Q fue 1 previamente. De manera similar la salida Q´ se aplica a J y CP a una compuerta AND de tal manera que el flip-flop se ponga a uno con un pulso de reloj, solamente si Q´ fue 1 previamente.

**Flip-flop JK temporizado**

Como se muestra en la tabla característica de la figura, el flip-flop JK se comporta como un flip-flop RS excepto cuando J y K sean ambos 1. Cuando J y K sean 1, el pulso de reloj se transmite a través de una compuerta AND solamente; aquella cuya entrada se conecta a la salida del flip-flop la cual es al presente igual a 1. Así, si Q=1, la salida de la compuerta AND superior se convertirá en 1 una vez que se aplique un pulso de reloj y el flip-flop se ponga a cero. Si Q´=1 la salida de la compuerta AND se convierte en 1 y el flip-flop se pone a uno. En cualquier caso, el estado de salida del flip-flop se complementa.

Las entradas en el símbolo gráfico para el flip-flop JK deben marcarse con una J (debajo de Q) y K (debajo de Q´). La ecuación característica se da en la figura y se deduce del mapa de la tabla característica.

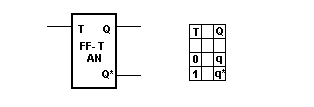
Nótese que debido a la conexión de retroalimentación del flip-flop JK, la señal CP que permanece en 1 (mientras que J=K=1) causará transiciones repetidas y continuas de las salidas después que las salidas hayan sido completadas. Para evitar esta operación indeseable, los pulsos de reloj deben de tener un tiempo de duración que es menor que la demora de propagación a través del flip-flop. Esta es una restricción, ya que la operación del circuito depende del ancho de los pulsos. Por esta razón los flip-flops JK nunca se construyen como se muestra en la figura. La restricción del ancho del pulso puede ser eliminada con un maestro esclavo o una [construcción](http://www.monografias.com/trabajos35/materiales-construccion/materiales-construccion.shtml) activada por flanco de la manera discutida en la siguiente sección. El mismo razonamiento se aplica al flip-flop T presentado a continuación.

* **Flip-Flop T**

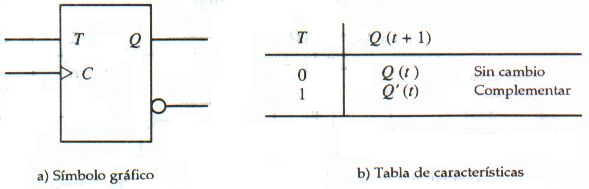
El flip-flop T se obtiene del tipo JK cuando las entradas J y K se conectan para proporcionar una entrada única designada por T. El flip-flop T, por lo tanto, tiene sólo dos condiciones. Cuando T = 0 ( J = K = 0) una transición de reloj no cambia el estado del flip-flop. Cuando T = 1 (J = K = 1) una transición de reloj complementa el estado del flip-flop.

Su unidad básica se dibuja a continuación que, como actúa por "niveles" de amplitud (0-1) recibe el nombre de Flip-Flop T activado por nivel (FF-T-AN). Cuando no se especifica este detalle es del tipo Flip-Flop T maestro-esclavo (FF-T-ME). Su ecuación y tabla de funcionamiento son

Q = T ⊕ q



A partir del FF-RS-AN puede diseñarse este FF-T-AN siguiendo los pasos mostrados anteriormente, pero no tiene sentido ya que al ser activado por nivel no tiene [utilidad](http://www.monografias.com/trabajos4/costo/costo.shtml).

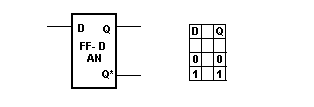


* **Flip-Flop D**

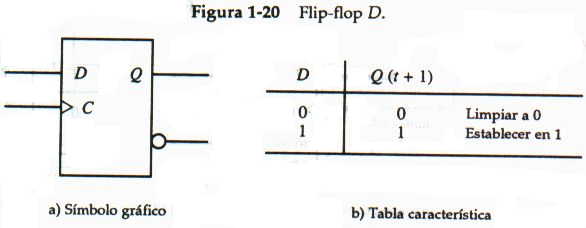
El flip-flop D ([datos](http://www.monografias.com/trabajos11/basda/basda.shtml)) es una ligera modificación del flip-flop SR. Un flip-flop SR se convierte a un flip-flop D insertando un inversor entre S y R y asignando el símbolo D a la entrada única. La entrada D se muestra durante la ocurrencia de uan transición de reloj de 0 a 1. Si D = 1, la salida del flip-flop va al estado 1, pero si D = 0, la salida del flip-flop va a el estado 0.

Su unidad básica se dibuja a continuación que, como actúa por "niveles" de amplitud (0-1) recibe el nombre de Flip-Flop D activado por nivel (FF-D-AN). Cuando no se especifica este detalle es del tipo Flip-Flop D maestro-esclavo (FF-D-ME) comúnmente denominado también Cerrojo —Latch. Su ecuación y tabla de funcionamiento son

Q = D



A partir del FF-RS-AN puede diseñarse este FF-D-AN siguiendo los pasos mostrados anteriormente, pero no tiene sentido ya que al ser activado por nivel no tiene utilidad.



**Flip-flop D**

El flip-flop D mostrado en la figura anterior es una modificación del flip-flop RS sincronizado. Las compuertas NAND 1 y 2 forman el flip-flop básico y las compuertas 3 y 4 las modifican para conformar el flip-flop RS sincronizado. La entrada D va directamente a la entrada S y su complemento se aplica a la entrada R a través de la compuerta 5. Mientras que el pulso de reloj de entrada sea un 0, las compuertas 3 y 4 tienen un 1 en sus salidas, independientemente del valor de las otras entradas. Esto esta de acuerdo a los requisitos de que las dos entradas del flip-flop básico NAND permanezcan inicialmente en el nivel de 1. La entrada D se comprueba durante la ocurrencia del pulso de reloj. Si es 1, la salida de la compuerta 3 va a 0, cambiando el flip-flop al estado de puesta a uno (a no ser que ya este en ese estado). Si en 0, la salida de la compuerta 4 va a 0, cambiando el flip-flop al estado de borrado.

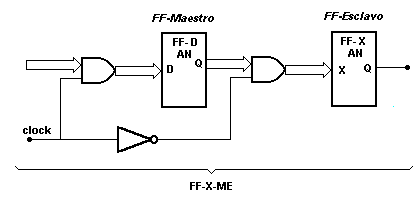
**Flip-flop D temporizado**

El flip-flop tipo D recibe su nombre por la habilidad de transmitir "datos" a un flip-flop. Es básicamente un flip-flop RS con un inversor en la entrada R. el inversor agregado reduce el numero de entradas de dos a uno. Este tipo de flip-flop se llama algunas veces bloqueador D con compuertas o flip-flop de bloqueo. La entrada CP se le da a menudo la designación variable G (de gate) para indicar que esta entrada esta habilita el flip-flop de bloqueo para hacer posible que los datos entren al mismo.

El símbolo para el flip-flop D sincronizado se muestra en la figura. La tabla característica se lista en la parte (c) y la ecuación característica se lista en la parte (d). la ecuación característica muestra que el siguiente estado del flip-flop es igual a la entrada D y es independiente del valor del presente estado.

* **Flip-Flop Maestro-Esclavo**

Todos los cuatro FF-AN pueden implementarse siguiendo las órdenes de un FF-D-AN a su entrada como muestra el [dibujo](http://www.monografias.com/trabajos13/histarte/histarte.shtml#ORIGEN) esquemático. El FF-D hace de puerta (Cerrojo). Cada pulso en el clock hará que la señal entre al [sistema](http://www.monografias.com/trabajos11/teosis/teosis.shtml) (como salida del FF-D-AN) y salga la misma a la salida final respetando la tabla de verdad del FF esclavo. Así, si el esclavo es un FF-X-AN, todo el conjunto se comporta como un FF-X-ME —aquí X puede ser un FF o bien también un sistema secuencial complejo.



**Accesorios de los Flip-Flop**

Los Flip-Flop, normalmente y si no se especifica otro detalle, son siempre Maestro-Esclavo, y suelen traer patas accesorias combinacionales. Nombramos las siguientes:

— Reset pone a cero Q

— Set pone a 1 a Q

— Clock

— Inhibición inhibe (no deja pasar) la entrada de señal

**CIRCUITOS SECUENCIALES**

**Definición, características y constitución de los circuitos secuenciales**

Los circuitos secuénciales, de la misma forma que los combinacionales, están constituidos por puertas lógicas, y como en estos últimos, la escala de integración de la mayoría de los circuitos disponibles en catalogo es la MSI. Sin embargo, presentan unas características muy singulares que describiremos a continuación.

A diferencia de los circuitos combinacionales, en los secuenciales, los valores de las salidas en un momento dado no dependen exclusivamente de los valores aplicados en las entradas en ese instante, sino también de los que estuviesen presentes con anterioridad.

Puede ocurrir, por lo tanto, que para iguales valores en las entradas se puedan obtener estados distintos en las salidas en momentos diferentes.

La respuesta de un circuito de estas características, frente a una secuencia de valores aplicada a las entradas, depende de su constitución física.

Los circuitos secuenciales tienen capacidad para recordar o memorizar los valores de las variables de entrada. Esta operación es imprescindible en los sistemas automáticos construidos con circuitos digitales, sobre todo en los programables, de los cuales nos ocuparemos mas adelante.

El almacenamiento o memorización de la información presente en la puerta del circuito se realiza gracias a la existencia de unas variables denominadas de estado interno, cuyo valor se vera afectado por los cambios producidos en la combinación binaria aplicada a la entrada.

Existen dos grandes tipos de circuitos secuenciales:

a) **Maquina de Mealy**. En este tipo de circuitos, las salidas dependen, en cada instante de los valores de los elementos de memoria y de las entradas presentes en ese instante.

Aquí, para cada estado, podemos tener tantas salidas como combinaciones tengarnos en las entradas.

b) **Maquina de Moore**. Aquí las salidas en cada instante dependen exclusivamente de los estados de los elementos de memoria, y no dependen directamente de las entradas en ese instante. Los valores de las entradas, sirven para modificar las diversas transiciones entre estados.

Otra importante división de los circuitos secuenciales es entre **sincronos y asíncronos**

Los síncronos, requieren una señal de control procedente de un generador externo al propio circuito, que funciona como llave, de modo que si no se aplica dicha señal no se hacen efectivos los valores presentes en las entradas. Este método se emplea cuando el sistema electrónico es complejo y los tiempos de conmutación de los diversos dispositivos que lo constituyen son distintos. La señal de control, también denominada reloj (Clock, o Clock Pulse en ingles), se aplica a las entradas del mismo nombre de cada bloque integrado para sincronizar la transmisión de datos 0 información a través del sistema. La frecuencia de la señal eléctrica debe adaptarse a la velocidad de conmutación del dispositivo mas lento del circuito.

En cambio, los sistemas secuenciales asíncronos no poseen entrada de reloj, y los cambios en las variables de estado interno y en los valores de salida se producen, sencillamente, al variar los valores de las entradas del circuito

Aquí nos vamos a centrar especialmente en el estudio de los biestables (loo circuitos secuenciales más elementales, capaces de almacenar, si no existe orden exterior de cambio, la información en ellos contenida), junto con los contadores y registros de desplazan1iento, que, como observaremos, son también circuitos secuenciales fonl1ados por una cadena de biestables. Todos estos dispositivos son de aplicación general, y de importancia fundamental en cualquier sistema digital

**Biestables**

Los **biestables basculas o flip-flops**, son circuitos secuenciales constituidos por puertas lógicas capaces de almacenar un bit, que es la información binaria más elemental.

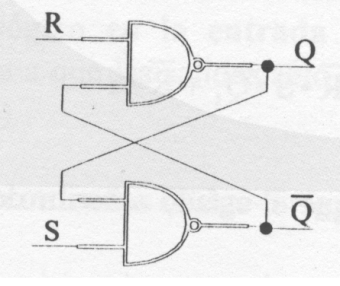
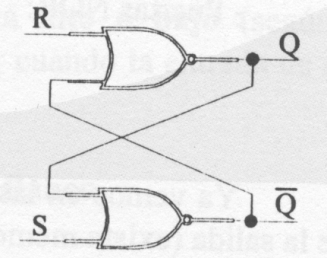
AI igual que los circuitos secuenciales en general, los biestables tambien se pueden clasificar en sincronos y asincronos, como se muestra en la siguiente figura:

**Basculas asincronas**

Son aquellas basculas que carecen de impulso de reloj y, por lo tanto, la salida basculara en la medida en que cambien las entradas.

**La bascula RS (asincrona)**

Es una de las basculas asincronas. Como ejemplo, vamos a realizar una RS con operadores logicos.

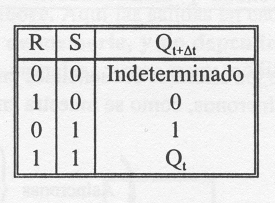
En la figura anterior, se muestran dos implementaciones de dicha bascula, una a

base de puertas NAND, y la otra a base de puertas NOR.

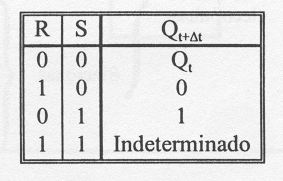
La denominacion "RS" proviene de "Reset-Set", de forma que la entrada "s" sirve para poner a "1" la salida, y la "R" para ponerla a "0".

La tabla de la verdad para cada uno do los circuitos es la siguiente.

-Puertas **NAND**.



-Puertas **NOR**.



* Q t = Estado do la salida Q antes do posicionar las entradas con la

informacion y validarlas mediante el reloj (estado anterior).

* .Q t+t = Estado do la salida Q despues de posicionar y validar las

entradas(estado siguiente).

* .Indeterminado = EI estado, en eslas condiciones de entrada. de Q. no

esta determinado.

Y las ecuaciones correspondientes de la salida son:

-Puertas **NAND**: \_

Q t+t =R•S•Q t+R•S

-Puertas **NOR**. \_ \_ \_

Q t+t = R•S•Q t+R•S

Ya vemos en las ecuaciones que el estado anterior de la salida inifluye en el nuevo estado de la salida (existe memoria).

**La bascula "T” (asincrona**)

Este es otro tipo de bascula que solo tiene una entrada. La forma de operar vamos.. a verla en el siguiente "timing", o diagrama de tiempos (representacion grafica de las entradas y salidas en funcion del tiempo).

Comparando los diagramas, vemos que la señal es de frecuencia mitad que la de entrada.

Este tipo de bascula la emplearemos, colocando en cascada una serie de ellas, en los circuitos divisores de frecuencia (cada biestable dividira la frecuencia por 2).

Se puede obtener a partir de la bascula “T” sincrona (como veremos al ver esta). Por otra parte, su funcionamiento es muy similar al de la bascula binaria (sincrona).

**Basculas síncronas**

Dentro de los sistemas sincronos tenemos dos tipos:

**Sincronas sencillas, o por nivel**

En ellas, las entradas solo tienen actuacion sobre la bascula (se validan) cuando el nivel logico en la entrada de reloj esta alto o bajo (segun el sistema). Esta caracteristica obliga a que las salidas solo puedan variar cuando la entrada de reloj este a nivel de paso (de atlivacion).

**Slncronizadas (Edge-Triggered), o por flanco**

En las basculas que adoptan este sistema de sincronismo, la informacion presente en las entradas solo se tiene en cuenta cuando la señal de reloj cambia de nivel, es decir, durante el tiempo de subida o de bajada, dependiendo del caso.

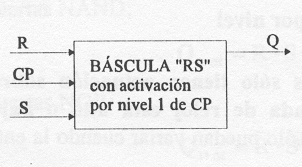
Todos los tipos de basculas que vamos a exponer pueden adoptar ambos tipos de sincronizacion, y esto lo reflejamos en la simbologia ulilizada Asi:

Sincronas sencillas Sincronizadas sencillas ( Edge-Triggered )

La entrada CP ("Clock Pulse"), es la correspondiente a los pulsos del reloj.

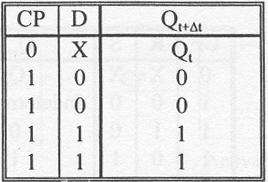
**Bascula "RS" (sincrona**)

Esta bascula tiene el siguiente diagrama de tiempos (la vamos a realizar con activacion por nivel "1" de CP).



La denominacion "D" viene de "Datos" (sirve para realizar una transferencia de datos cuando la señal de cotrol indique, que es la funcion del "cerrojo"),

La tabla de la verdad:



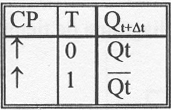
Y la ecuacion resultante es:

\_\_

Q t+D t= D•CP+CP•Q t

**Bascula "T" (sincrona)**

Es una bascula bastante empleada, y posee una arquitectura bastante similar a la del flip-flop tipo "D", Se mantiene o niega el valor de Ia salida en funcion del valor de Ia entrada .”T” (si es un "0" lo mantiene, y si es un "1" lo niega), La tabla de la verdad de un biestable “T" activado por flanco de subida, es la siguienle'



EI simbolo "indica que solo se utilizara el valor de la salida al llegar un flanco

de subida al reloj, manteniendose el valor anterior hasta ese momento,

Para oblener la bascula "T” asincrona a partir de esta bascula con poner a "1" la entrada "T” (cada vez que hay un flanco de subida se invierte Ia salida con lo que se obliene una salida de frecuencia mitad que la de la entrada de reloj),

**Bascula "JK"**

Tambien denominada "Masler-Slave", es quiza la mas difundida, en sus distintas versiones de activacion (por nivel y por flanco), Esta difusion esla jusliticada por su versatilidad, ya que Iapartir de una "}K" se pueden obtener los otros tipos de basculas.

veamos las tablas de verdad de una "JK" activada por nivel "0" y de una "JK"

activada por flanco descendente:

Y la ecuacion resultante para ambos casos es:

\_ \_

* Q t+Dt = J•Q t+ K•Q t

**Obtencion de las bisculas "D" y "T" a partIr de la "JK"**

Para obtener estas basculas a partir de la "JK", basta con realizar las siguientes operaciones:

\_

a) Para obtener la "D", basta con hacer K = j , y meter los dalos correspondientes

a la entrada "D" por la "J" Para comprobar esto, basta con mirar las tablas de la verdad de ambos flip-flops, Vemos que para los dos casos en que K =J, al validarse las entradas, la salida pasa a tomar el valor que tenia la J (como en un flip-flop tipo D)

b). Para otener la "T". solo hay que hacer J=K, y poner en cualquiera de esas dos entradas los datos correspondientes a la entrada “T”. Asi, si J=K="0", no se invierte la salida al validar las entradas, y si J=K=1, se invertira la salida (como en un flip-flop tipo T).

**Bascula binaria**

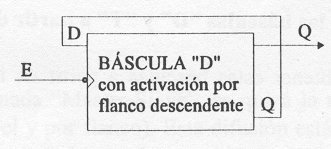
Es una bascula con un mando unico, de tal forma, que **la salida evoluciona cambiando de estado,** dependiendo del tipo de acltivacion. Asi tenemos, a nivel "1", a nivel "0", a flanco ascendente, a flanco descendente.

Este flip-flop tiene un funcionamiento **similar al del biestable "T" asíncrono** (divide por dos la frecuencia del reloj)

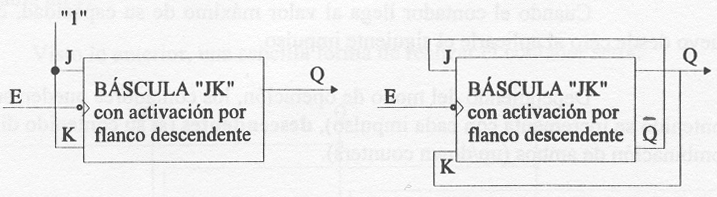
Como ejemplo, vamos a ver la simbologia y comportamiento de una bascula binaria por flanco descendenle.

La "bascula binaria" se puede construir a base de basculas "D", y "JK". Veamos unos ejemplos.

-Si queremos obtener una bascula binaria activada por flanco de bajada, lo podemos hacer a partir de una bascula "D" tambien por flanco descendente. Asl, cada vez que lIegue un flanco de bajada, pasa a la salida el valor de la entrada (que es el de la salida anterior, pero negado). Por lo tanto, se obtiene una salida con una frecuencia la mitad de la del reloj del sistema.



-Para hacer lo mismo a partir de una bascula "JK" de frente descendente:



En la figura se recogen dos posibilidades: la de la izquierda, consiste en emplear el fip-flop JK como uno de tipo T (J=K), Y poniendo en ambas entradas 1, con lo que cada vez que lIegue un flanco descendente de reloj se producira una inversion de la salida; en el caso de la izquierda, se emplea el flip-flop JK como uno tipo D (K = 1), siendo el montaje identico al explicado para dicho flip-flop

**Entradas asincronas**

Pese al caracter sincrono de los flip-flops enunciados en este apartado, estos circuitos tambien posceo entradas de caracter ,sincrono. Dicha denominacion proviene del hecho de que actúan independienteme del valor que tenga la señal de reloj.

Normalmente, suele haber dos entradas asincronas

* .**CLEAR, 0 RESET**. Pone a "0" la salida del flip-flop.
* .**SET,O PRESET**. Pone a "1" la salida del flip-flop

Estas entradas se suelen utilizar para inicializar el sistema, dando a los biestables el valor deseado, para que luego evolucionen.

**CIRCUITOS CONTADORES**

Un contador es un circuito secuencial de aplicacion general, cuyas salidas representan en un determinado codigo el numero de pulsos que se meten a la entrada

Estan constituidos por una serie de biestables conectados entre si de modo que las salidas de estos cambian de estado cuando se aplican impulso. a la entrada.

La capacidad de un contador es el numero mas elevado, expresado en cualquiera de los codigos binarios, que puede ser representado en sus salidas.

El **modulo**, o número de estados totales que puede representar el contador, es igual al numero máximo de impulsos que se puede representar más uno (el cero). Si "n" es el número de flip-flops empleado para hacer el contador, y "M" el módulo del contador, se debe verificar:

**M " 2”**

Cuando el contador llega al valor máximo de su capacidad, comienza a contar de nuevo desde cero al aplicarle el siguiente impulso.

Dependiendo del modo d e operación, lo s cont adores pueden ser **ascendetes**( si su contenido se incrementa con cada impulso), **descende ntes** (si su contenido disminuye), o bien una combinacion de ambos (up/down counters).

Por otro lado, los contadores se dividen en **sincronos y asincronos. Los primeros,**son aquellos en los que los impulsos de reloj se aplican simultameamente a todos los biestables, y por tanto, todas las salidas cambian al mismo tiempo.

En los asincronos, por contra, la señal de reloj se aplica a la entrada del primer biestable, la salida de éste a la entrada de reloj del siguiente, y asi sucesivamente el tiempo de propagacion de estos dispositivos, es superior al de los sincronos (la señal tiene que pasar por todos los bits menos significativos hasta llegar a un deteminado bit).

Otra clasificacion es según la naturaleza de los números que cuenta el dispositivo. Existen contadores **binarios**(el número de estados es múltiplo de 2), **decimales**(el numero de estados es múltiplo de 10), y de **modulo M**(un numero M cualquiera de estados).

Además, en todos los casos anteriores, la cuenta **no tiene por qué empezar e terminar en 0.**Por ejemplo se puede diseñar un contador de módulo 3 gue cuente 5-6-7.

El diseño de contadores sincronos, se hace de igual forma que para cualquier circuito secuencial. Como caso particular, vamos a ver el diseño de contares binarios asincronos.

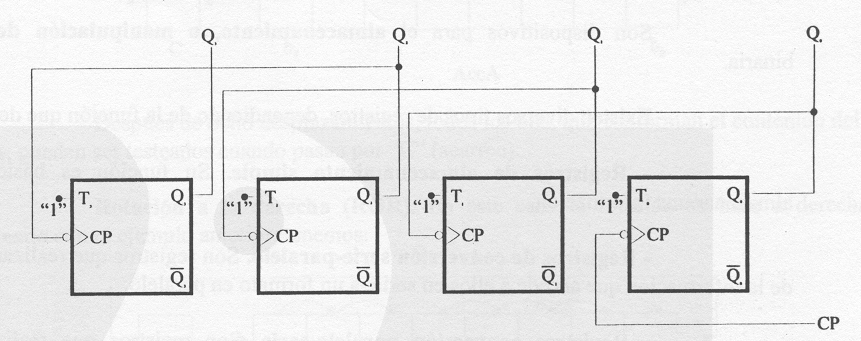
**Contador asíncrono binario**

Un caso particulanmente sencillo, lo constituyen los contadores asincronos binarios. Como emplo, vamos a diseñar y realizar un contador binario ascendente de 4 bits (cuenta de O a 15).

Si estudiamos la evolucion de los números en la cuenta, vemos que cada uno de los bits cambia de valor cuamdo el de su derecha pasa de 1 a 0. Por ejemplo, con dos bits vemos que: 00-0l-10..., y a su vez 10-11-00... Por lo tanto,**cada bit cambia cuando en el bit de la derecha se produce un flanco descendete.**

Recordando el funcionamiento del flip-flop tipo T. vemos que este, al llegarle el conespondiente flanco de reloj, invertía la salida si tenía un 0 a la entrada, y mantenía su valor si a la entrada habia un 1.

Visto lo anterior, una sencilla forma de realizar el contador seria:



Empleamos flip-flops tipo T activos a flanco descendente. Introducimos los pulsos a contar en el flip-flop conespondiente al bit menos sigmificativo, y la salida de éste al reloj del bit de su izquierda. Igualmente, la salida de ¿este va al reloj del flip-flop de su izquierda y asi sucesivamente...

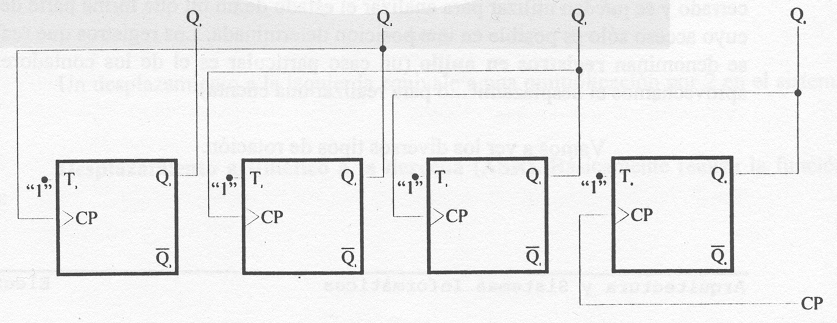
Otra posibilidad, seria emplear flip-flops tipo JK como los de tipo T (haciendo

J=K=I)

Si los flip-flops son a flanco ascendente, conectaremos al reloj las salidas negadas.

Para hacer un contador **descendente,**el procedimiento es bastante similar. Tomando como ejemplo el caso de dos bits, seria: ll-10-01.., y 01-00-11. En este caso vemos que **cada bit cambia cuando el de su derecha pasa de 0 a 1 (flanco asecendente).**

Por lo tanto, nos valdria el diseño anterior, cambiamdo los biestables de flanco descendente por unos de flanco ascendente.



De igual forma, si tuviéramos que emplear flip-flops por flanco descendente, llevartamos a los relojes conrespondientes la salida negada.

Para los circuitos vistos en este apartado, se aprecia con facilidad que el flip-flop menos signiftcativo es un divisor de frecuencia por 2, el siguiente por 4...

**Registros**

Son dispositivos para cl **al macenamiento, o manipulacion de información**binaria

Existen divensos tipos de registros, dependiendo de la funcion que desarrollen:

- **Registros de almacenamiento simple.**Su funcion es basicamente la de almacenar una infommacion.

- **Registros de conversion serie-paralelo.**Son registros que realizan la conversión de la infonmacion que accede a ellos en serie, a un formato en paralelo.

- **Registros conversion paralelo-serie.**Son registros que realizan la función inversa a los anteriores, es decir, a la infommacion que accede a ellos en paralelo, le dan formato serie.

- **Registros de desplazamiento.**Son registros que penmiten ei desplazamiento de la información que almacenan. También suelen servir para las funciones anteriores.

De este tipo de registros vamos a reatizar un estudio en profundidad, ya que es una de las funciones que pueden realizar los **acumnladores,**que son parte integrante de tos microprocesadores, y que veremos en profundidad al tratar los Sistemas Digitales.

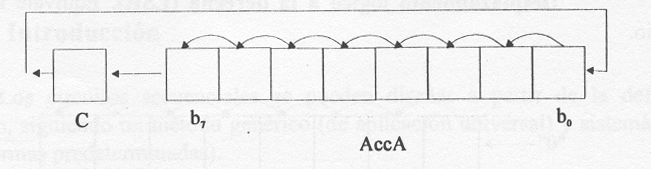
**Registros de desplazamiento**

Los registros de desplazamiento realizan fundamentalmente dos funciones : **rotaciones, y daplazamientos**propiarnente dichos.

- **ROTACIONES**. Pueden ser a la derecha o la izquierda. Se realizan en bucle cerrado y se pueden utilizar para analizar el estado de un bit que forma parte de una infonmación, y cuyo acceso solo es posible en una posicion determinada. Los registros que realizan esta operación se denominan **registros en anillo**(un caso particular es el de los contadores en anillo, cuando aprovechamos el desplazamiento para realizar una cuenta).

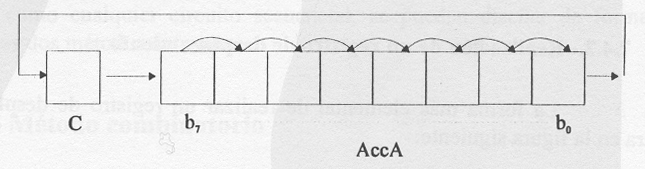
Vamos a ver los diversos tipos de rotacion.

**Rotacion a la lzquierda (ROL)**. Veamos aplicandolo a un acumulador del microprocesador 6800 (tiene registros de 8 bits, y los testea a través de un biestable C).



Después de ocho desplazamientos, todos los bits, que conforman el contenido del AccA, pueden ser testeados cuando pasan por "C" (acarreo).

**Rotación a la derecha (ROR)**. En este caso la rotación se hace a derechas. Siguiendo con cl ejemplo anterior, tenemos:

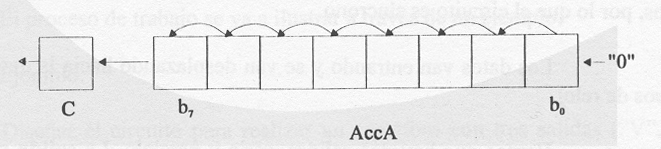


Nuevamente, despues de ocho desplazamientos todos los bits, que conformam el contenido del AccA, pueden ser testeados cuando pasan por "C".

- **DESPLAZAMIENTOS**. Tenemos dos tipos de desplazamientos: el logico y el aritmético, según se vean o no implicados elementos ajenos al propio registro.

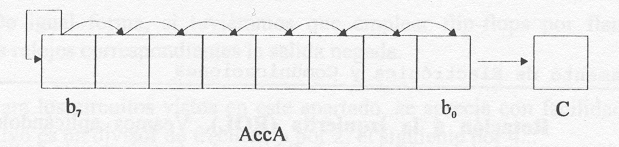
Vamos a ver algunos tipos de desplazemientos:

**Desplazamiento aritmetico a la izquierda (ASL).** Basicamente realiza la siguicnte funcion:

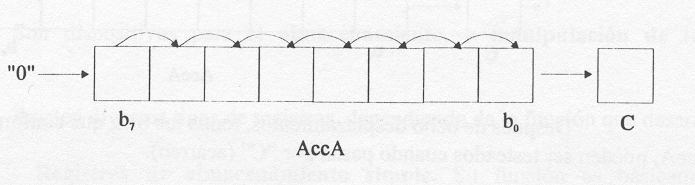


Un desplazamiento a la izquierda equivale a una multiplicacion por 2 en el sistema binario.

**Desplazemiento aritmetico a la derecha (ASR).**Basicamente realiza la funcion siguiente:



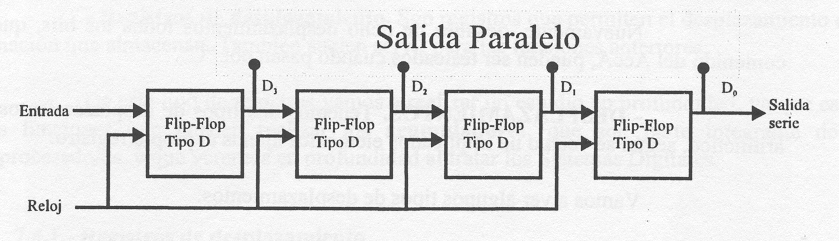
**Desplazamiento logico a la derecha (LSR).** Equivale a una division por 2 en binario.



Aquí, vemos que entra un "O" exterior al registro.

**Realización de Un registro de desplazemiento**

La forma más elemental de realizar un registro de desplazamiento, es la que se muestra en la figura siguiente:



Como puede verse, cl circuito consta de 4 flip-flops tipo D puestos en serie, de tal forma que la salida Q de uno es la entrada D del siguiente bit La entrada de reloj es común a todos, por lo que cl circuiito es sincrono.

Los datos van entrando y se van desplazando hacia la derecha conforme llega los pulsos de reloj

Vemos que hay dos salidas, serie y paTalelo. La **salida serie**muestra los mismos datos que hay a la enuada pero eon ml retaTdo igual al periodo de reloj multiplicado por cl número de flip-flops que componen cl registro (los datos se retaTdaD UD periodo en cada flip-flop).

La salida paralelo muestra los cuatro últimos datos introducidos, cada uno de ellos con un retardo respecto a la entrada defnido por su distancia respecto a ésta

**CONTADORES DE PULSOS**

**Generalidades**

Son sistemas de FF en cascada y relacionados con [redes](http://www.monografias.com/Computacion/Redes/) combinacionales de tal manera que cuentan, bajo un [código](http://www.monografias.com/trabajos12/eticaplic/eticaplic.shtml) binario cualquiera ya predeterminado (binario puro, BCD, Jhonson, etc., u otro inventado por uno que necesite) los pulsos que ingresan al clock del sistema. Así, si todos los relojes se conectan en paralelo o no, los contadores se denominan, respectivamente

— sincrónicos

— asincrónicos

y nosotros estudiaremos a los primeros.

La cantidad M de pulsos a contar (incluyendo el correspondiente reposo) está relacionada con el número n de FF a utilizar mediante la fórmula

2n-1 < M ≤ 2n

**Ejemplo de Diseño**

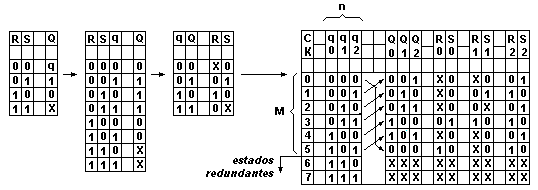
Se pretende contar los pulsos de un código, por ejemplo binario natural hasta el número 5; o sea que a partir del pulso 6 se reiniciará el conteo (autoborrado). En efecto, podemos elegir la mínima cantidad de FF a usar (y que por tanto se usarán)

M = 6

2n-1 < M ≤ 2n ⇒ n = 3

Adoptamos seguidamente el tipo de FF que dispongamos, por ejemplo el RS.

Ahora completamos las tablas de diseño



Simplificamos los resultados, por ejemplo por Veich-Karnaugh

R0 = q1\*q2

S0 = q1q2

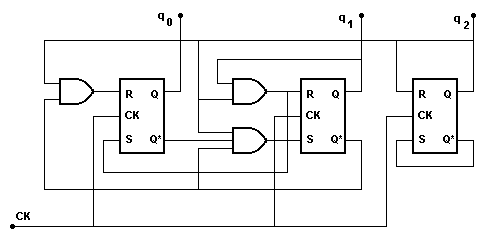
R1 = q1q2

S1 = q0\*q1\*q2

R2 = q2

S2 = q2\*

y armamos finalmente con ella el circuito



**DIVISORES DE FRECUENCIA**

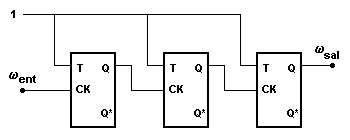
**Generalidades**

Pueden realizarse con contadores asincrónicos o sincrónicos.

**Asincrónico**

Seguidamente vemos un divisor de frecuencia asincrónico realizado con FF-T (recuérdese que un FF puede ser fabricado a partir de cualquier otro FF) que poseen la [propiedad](http://www.monografias.com/trabajos16/romano-limitaciones/romano-limitaciones.shtml) de sacar un pulso por cada dos de entrada. Por ello la división final es

ωsal = ωent 2n



**Sincrónico**

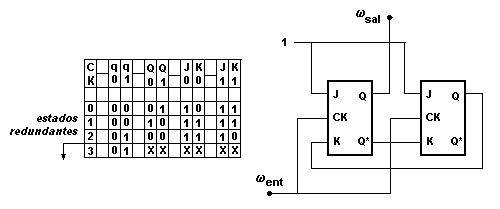
**Ejemplo de Diseño**

Ahora bien, supongamos que no deseamos dividir por un número 2n sino por otro cualquiera. Para ello nos valdremos del contador sincrónico. Cuando la cantidad de pulsos llega a la cantidad M se diseñará al último FF de tal manera que cambie el estado detectando así con ello la división. Siguiendo los pasos de [diseño](http://www.monografias.com/trabajos13/diseprod/diseprod.shtml) como recién se ha expuesto al diseñar un contador cualquiera sincrónico, podemos lograr nuestro cometido.

Supongamos que nuestro dato sea dividir por 3. Adoptamos, por ejemplo FF-JK y entonces, con el criterio anterior, lo diseñamos de la siguiente manera

M = 3

2n-1 < M ≤ 2n ⇒ n = 2

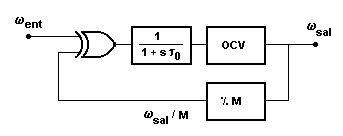


**MULTIPLICADORES DE FRECUENCIA**

**Generalidades**

Pueden realizarse con un Lazo de Fijación de Fase (LFF) y un divisor por M que lo realimente —M es la cuenta de pulsos del contador como se vio precedentemente. Estando enganchado y mantenido el LFF, el OCV interno deberá mantener la ωent multiplicada por M. Así entonces, la frecuencia de salida será un múltiplo M del de la entrada

ωsal = ωOCV = M ωent



**Ejemplo de Diseño**

Supongamos que se tiene una frecuencia de entrada que varía entre un máximo fentmax y un mínimo fentmin y se la quiere multiplicar M veces

fentmax = ...

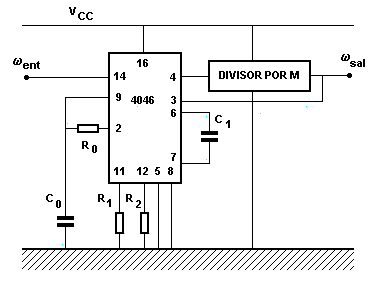
fentmin = ...

M = ...

El circuito siguiente muestra una implementación posible. Para diseñar al OCV debe recurrirse al capítulo de multivibradores con los datos

fmax = ... > fentmax

fmin = ... < fentmin



La red R0C0 del filtro se la aconseja que sea experimental, aunque puede estimarse su constante de tiempo de tal manera que filtre los pulsos detectados

τ0 = R0C0 = ... >> 2 Tentmax = 4 / fentmin

El rango de [mantenimiento](http://www.monografias.com/trabajos15/mantenimiento-industrial/mantenimiento-industrial.shtml) RM del lazo deberá resultar satisfactoriamente

RM [Hz] = M (fmax - fmin) = ... > fentmax − fentmin

**COMPARADORES DIGITALES**

Se compararán dos palabras digitales (bytes) A y B de m bits cada una de ellas según el ordenamiento

A = Am ... A1 A0

B = Bm ... B1 B0

con m el bit de mayor peso

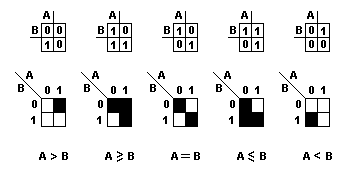
A > B → A B\*

A ≥ B → A + B\*

A = B → (A ⊕ B)\*

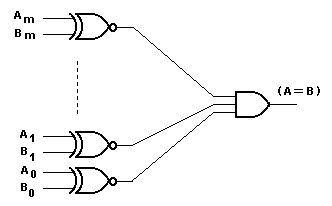
A ≤ B → A\* + B

A < B → A\* B



En efecto, para determinar el caso de [igualdad](http://www.monografias.com/trabajos/discriminacion/discriminacion.shtml) bastará comparar cada uno de los bits en forma respectiva con compuertas O-Exclusiva

(A = B) = (Am ⊕ Bm)\* ... (A1 ⊕ B1)\* (A0 ⊕ B0)\*



Para explicar el [proceso](http://www.monografias.com/trabajos14/administ-procesos/administ-procesos.shtml#PROCE) de detección de la diferencia en exceso o déficit nos valdremos de un ejemplo. Sea m = 2 y siendo A > B; entonces con sólo que el bit de mayor peso lo sea será suficiente

A2 > B2

o bien

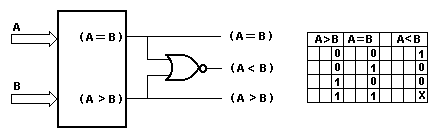
A2 = B2 y A1 > B1

A2 = B2 y A1 = B1 y A0 > B0

lo que nos permitirá armar la red combinatoria siguiente

(A > B) = (A2 > B2) + (A2 = B2) [ (A1 > B1) + (A1 = B1) (A0 > B0) →

→ A2B2\* + (A2 ⊕ B2)\* [ A1B1\* + (A1 ⊕ B1)\* + A0B0\* ]

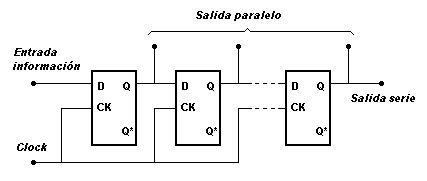


y de la tabla

(A < B) = (A > B)\* (A = B)\* = [ (A > B) + (A = B) ]\*

**REGISTROS DE DESPLAZAMIENTOS**

Son cadenas de FF-D en cascada alimentados sincrónicamente, de tal manera que por cada pulso en clock la información digital se va desplazando de FF en FF sin sufrir alteración —recuérdese que la tabla de verdad del FF-D así lo permite. Puede salirse del mismo de una manera serie o paralelo.

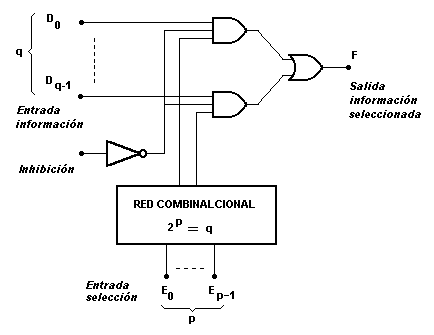


**MULTIPLEXOR Y DE-MULTIPLEXOR**

Consiste en una llave digital y, por ende, puede ser selectora (multiplexor) o de-selectora (de-multiplexor).

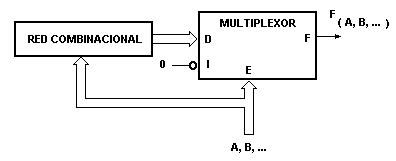
Su [diagrama](http://www.monografias.com/trabajos14/flujograma/flujograma.shtml) como multiplexor es dado en el dibujo que sigue, donde hemos llamado con q al número de canales y p al número de entradas de [selección](http://www.monografias.com/trabajos5/selpe/selpe.shtml)—combinaciones que los seleccionarán. Se cumplirá entonces que

2 p = q

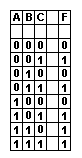


**Diseño de Redes Combinacionales con Multiplexor**

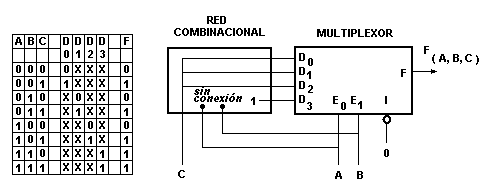
Es útil el diseño de esta manera y no en forma discreta porque se ahorran muchas compuertas y complicaciones en las plaquetas diseñadas, pero claro deberá estar, que las mismas en su [densidad](http://www.monografias.com/trabajos5/estat/estat.shtml) ya se encuentran igual dentro de la sofisticación integrada por el fabricante dentro del multiplexor.



Supongamos como dato tener una función cualquiera F(A,B,C) (elegida al azar) como muestra la tabla siguiente que diseñaremos.



Primeramente elegimos un multiplexor de la mayor cantidad de canales posibles pues esto minimizará las compuertas adicionales. Supongamos que hemos obtenido uno de 2 selecciones (p = 2) que para este ejemplo bastará. Seguidamente armamos la tabla como sigue y luego simplificamos su resultado por Veich-Karnaugh.



**BIBLIOGRAFIA**

<http://html.rincondelvago.com/electronica-y-circuitos-secuenciales.html>

[http](http://www.monografias.com/trabajos11/wind/wind2.shtml)://galeon.hispavista.com/edigi/flipflop.htm

http://jlucas.home.cern.ch/jlucas/tff/flipflop/node1.[html](http://www.monografias.com/trabajos7/html/html.shtml)#SECTION00010000000000000000

http://det.bp.ehu.es/vhdl/pagina/express/simula.htm

http://mailweb.udlap.mx/~edjim/flip\_flop.htm

http://www.[monografias](http://www.monografias.com/trabajos7/mono/mono.shtml).com/trabajos3/bcd/bcd.shtml